

(19) 世界知的所有権機関  
国際事務局(43) 国際公開日  
2005年10月6日 (06.10.2005)

PCT

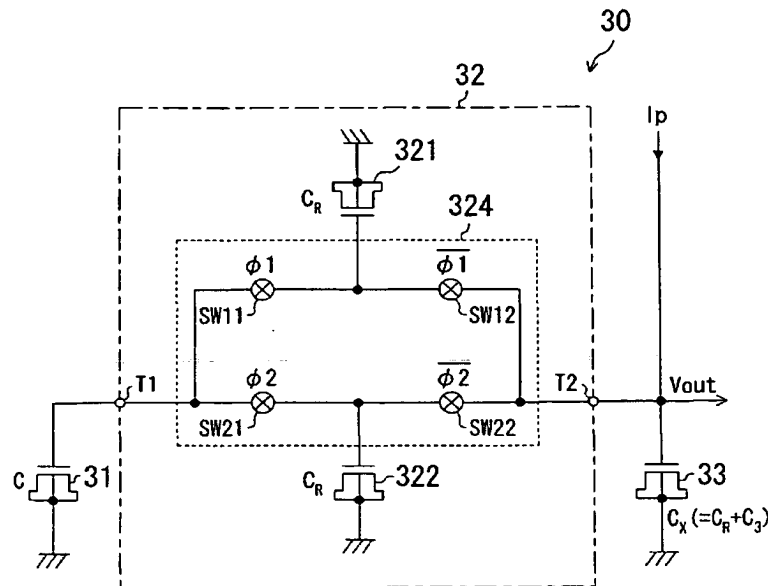
(10) 国際公開番号  
WO 2005/093952 A1

- (51) 国際特許分類<sup>7</sup>: H03H 19/00, H03L 7/093 (74) 代理人: 前田 弘, 外 (MAEDA, Hiroshi et al.); 〒5410053 大阪府大阪市中央区本町2丁目5番7号 大阪丸紅ビル Osaka (JP).
- (21) 国際出願番号: PCT/JP2004/017064
- (22) 国際出願日: 2004年11月17日 (17.11.2004) (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, JP, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, MZ, NA, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RU, SC, SD, SE, SG, SK, SL, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, YU, ZA, ZM, ZW.
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願2004-093254 2004年3月26日 (26.03.2004) JP
- (71) 出願人 (米国を除く全ての指定国について): 松下電器産業株式会社 (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) [JP/JP]; 〒5718501 大阪府門真市大字門真1006番地 Osaka (JP).
- (72) 発明者: および
- (75) 発明者/出願人 (米国についてのみ): 道正 志郎 (DOSHO, Shiro). 徳永 祐介 (TOKUNAGA, Yusuke).
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HU, IE, IS, IT, LU, MC, NL, PL, PT, RO, SE, SI, SK, TR), OAPI

[続葉有]

(54) Title: SWITCHED CAPACITOR FILTER AND FEEDBACK SYSTEM

(54) 発明の名称: スイッチトキャパシタフィルタ及びフィードバックシステム



(57) Abstract: A loop filter (30) comprises: a first capacitive element (31) provided between a current signal input end and a reference voltage; a switched capacitor circuit (32) provided between the input end and the first capacitive element (31); and a second capacitive element (33) provided in parallel to the first capacitive element (31) and the switched capacitor circuit (32). When a third capacitive element (321) is connected to the first capacitive element (31) side in the switched capacitor circuit (32), a fourth capacitive element (322) is connected to the second capacitive element (33) side. In the loop filter (30) of such an arrangement, capacitance of the second capacitive element (33) is set larger than those of the third and fourth capacitive elements (321, 322).

[続葉有]



(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約: ループフィルタ(30)は、電流信号の入力端と基準電圧との間に設けられた第1の容量素子(31)と、上記入力端と第1の容量素子(31)との間に設けられたスイッチトキャパシタ回路(32)と、第1の容量素子(31)及び前記スイッチトキャパシタ回路(32)に並列に設けられた第2の容量素子(33)とを備えている。スイッチトキャパシタ回路(32)において、第3の容量素子(321)が第1の容量素子(31)側に接続されるとき、第4の容量素子(322)は第2の容量素子(33)側に接続される。上記構成のループフィルタ(30)において、第2の容量素子(33)の容量値を、第3及び第4の容量素子(321, 322)の容量値よりも大きく設定する。